

REC'D 21 JAN 2000  
WIPO PCT

09/869897

CT/JP00/00013

05.01.00

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JP00/13

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 1月 7日

出願番号  
Application Number:

平成11年特許願第001790号

出願人  
Applicant(s):

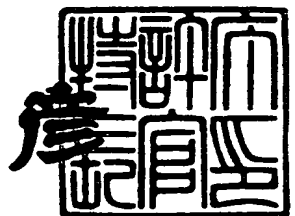
ソニー株式会社

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年11月26日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特平11-3083508

【書類名】 特許願

【整理番号】 9801043209

【提出日】 平成11年 1月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 27/34

【発明者】

【住所又は居所】 東京都品川区北品川 6丁目 7番 35号 ソニー株式会社  
内

【氏名】 猪股 篤

【発明者】

【住所又は居所】 東京都品川区北品川 6丁目 7番 35号 ソニー株式会社  
内

【氏名】 池田 保

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 1 1 - 0 0 1 7 9 0

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 誤り率推定装置および方法、並びに提供媒体

【特許請求の範囲】

【請求項 1】 信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置において、

状態メトリックを生成する際に行われる正規化の回数を、所定時間内カウントするカウント手段と、

前記カウント手段によりカウントされた前記正規化回数により、前記信号の誤り率を推定する推定手段と

を含むことを特徴とする誤り率推定装置。

【請求項 2】 前記推定手段は、前記正規化回数と前記伝送路上の誤り率とが対応付けられたテーブルに基づいて、前記誤り率を推定する

ことを特徴とする請求項 1 に記載の誤り率推定装置。

【請求項 3】 前記推定手段は、前記カウント手段によりカウントされた正規化された回数を所定の関数に代入することにより前記誤り率を推定する

ことを特徴とする請求項 1 に記載の誤り率推定装置。

【請求項 4】 前記カウント手段は、所定の伝送方式または所定の符号化率の信号に対する前記正規化回数のみをカウントする

ことを特徴とする請求項 1 に記載の誤り率推定装置。

【請求項 5】 信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置の誤り率推定方法において、

状態メトリックを生成する際に行われる正規化の回数を、所定時間内カウントするカウントステップと、

前記カウントステップでカウントされた前記正規化回数により、前記信号の誤り率を推定する推定ステップと

を含むことを特徴とする誤り率推定方法。

【請求項 6】 信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置に、

状態メトリックを生成する際に行われる正規化の回数を、所定時間内カウ

ントするカウントステップと、

前記カウントステップでカウントされた前記正規化回数により、前記信号の誤り率を推定する推定ステップと

を含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

【請求項 7】 複数の伝送方式または符号化率が用いらた信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置において、

前記信号の伝送方式または符号化率を判定する判定手段と、

ステートメトリックを生成する際に行われる正規化の回数を、前記複数の伝送方式毎または符号化率毎にカウントするカウント手段と、

前記カウント手段によりカウントされた正規化回数により、前記信号毎の誤り率を推定する推定手段と、

前記推定手段により推定された前記信号毎の誤り率のうちの 1 つを選択する選択手段と

を含むことを特徴とする誤り率推定装置。

【請求項 8】 前記選択手段は、前記判定手段により判定された伝送方式または符号化率に応じた前記誤り率を選択する

ことを特徴とする請求項 7 に記載の誤り率推定装置。

【請求項 9】 前記選択手段は、入力された複数の誤り率と所定の基準値とを比較することにより、出力する誤り率を選択する

ことを特徴とする請求項 7 に記載の誤り率推定装置。

【請求項 10】 複数の伝送方式または符号化率が用いらた信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置の誤り率推定方法において、

前記信号の伝送方式または符号化率を判定する判定ステップと、

ステートメトリックを生成する際に行われる正規化の回数を、前記複数の伝送方式毎または符号化率毎にカウントするカウントステップと、

前記カウントステップでカウントされた正規化回数により、前記信号毎の誤り率を推定する推定ステップと、

前記推定ステップで推定された前記信号毎の誤り率のうちの1つを選択する選択ステップと

を含むことを特徴とする誤り率推定方法。

【請求項 11】 複数の伝送方式または符号化率が用いらた信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置に、

前記信号の伝送方式または符号化率を判定する判定ステップと、

状態メトリックを生成する際に行われる正規化の回数を、前記複数の伝送方式毎または符号化率毎にカウントするカウントステップと、

前記カウントステップでカウントされた正規化回数により、前記信号毎の誤り率を推定する推定ステップと、

前記推定ステップで推定された前記信号毎の誤り率のうちの1つを選択する選択ステップと

を含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

【請求項 12】 複数の伝送方式または符号化率が用いらた信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置において、

状態メトリックを生成する際に行われる正規化の回数を、前記複数の伝送方式毎または符号化率毎にカウントするカウント手段と、

前記カウント手段によりカウントされた正規化回数により、前記信号毎の誤り率を推定する推定手段と、

前記伝送方式または符号化率のうち、所定の伝送方式または符号化率の前記推定手段により推定された前記誤り率の値に応じて、前記信号毎の誤り率に乗算する値を決定し、乗算する乗算手段と、

前記乗算手段から出力された前記信号毎の誤り率を加算し、出力する出力手段と

を含むことを特徴とする誤り率推定装置。

【請求項 13】 複数の伝送方式または符号化率が用いらた信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置の誤り率推定方法において、

ステートメトリックを生成する際に行われる正規化の回数を、前記複数の伝送方式毎または符号化率毎にカウントするカウントステップと、

前記カウントステップでカウントされた正規化回数により、前記信号毎の誤り率を推定する推定ステップと、

前記伝送方式または符号化率のうち、所定の伝送方式または符号化率の前記推定ステップで推定された前記誤り率の値に応じて、前記信号毎の誤り率に乗算する値を決定し、乗算する乗算ステップと、

前記乗算ステップから出力された前記信号毎の誤り率を加算し、出力する出力ステップと

を含むことを特徴とする誤り率推定方法。

【請求項 14】 複数の伝送方式または符号化率が用いらた信号を受信し、復号する際、前記信号の誤り率を推定する誤り率推定装置に、

ステートメトリックを生成する際に行われる正規化の回数を、前記複数の伝送方式毎または符号化率毎にカウントするカウントステップと、

前記カウントステップでカウントされた正規化回数により、前記信号毎の誤り率を推定する推定ステップと、

前記伝送方式または符号化率のうち、所定の伝送方式または符号化率の前記推定ステップで推定された前記誤り率の値に応じて、前記信号毎の誤り率に乗算する値を決定し、乗算する乗算ステップと、

前記乗算ステップから出力された前記信号毎の誤り率を加算し、出力する出力ステップと

を含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は誤り率推定装置および方法、並びに提供媒体に関し、特に、ステートメトリックを求める回路が行う正規化の回数を用いて伝送路上の誤り率を判定する誤り率推定装置および方法、並びに提供媒体に関する。

## 【0002】

## 【従来の技術】

現在、放送衛星として打ち上げが予定されているBS4後発機を用いて、デジタル放送サービスを行うことが電波管理審議会で答申されている。このデジタル放送サービスにおいて、伝送路符号化方式として、8PSK (Phase-Shift keying)、QPSK (Quadrature PSK)、およびBPSK (Binary PSK) が規定されている。

## 【0003】

図23は、送信機と受信機の構成例を示すブロック図である。送信機1は、情報源2、符号化器3、パンクチャリング器4、およびマッピング器5から構成されている。情報源2は、符号化して伝送するデータを、符号化器3に出力する。符号化器3は、入力された1ビットのデータを、符号化率 $R = 1/2$ で、トレリス符号化し、2ビットの符号語として、パンクチャリング器4に出力する。パンクチャリング器4は、入力された2ビットのデータをパンクチャリングして、マッピング器5に出力する。マッピング器5は、入力された2ビットの符号語を直交変調方式により、4個の信号点のうちの1つの信号点に割り当て、その信号点のI信号とQ信号を伝送路6に出力する。

## 【0004】

受信機7は、ビット挿入器8、復号器9、および復号情報10から構成されている。ビット挿入器8は、伝送路6を介して入力された受信信号(I, Q)に対し、ビット挿入を行い、復号器9に出力する。復号器9は、入力された信号に対しトレリス復号を施し、復号情報10として出力する。復号情報10は、復号されたデータを示しており、この復号情報10を図示していない再生装置により再生することにより、画像や音声を得ることができる。

## 【0005】

復号器9から出力されるステートメトリックの情報は、監視回路11に供給される。監視回路11は、伝送路6上の誤り率を判定し、その情報を誤り率情報12として出力する。この誤り率情報12は、例えば、データを受信するアンテナの向きを、最も誤り率の低い方向に向けて設置する際のデータとして用いられる。



## 【0006】

図24は、符号化器3の構成を示すブロック図である。この符号化器3は畳み込み符号化器であり、入力された1ビットのデータb0が、(c1, c0)の2ビットのデータに符号化され、出力される。出力される2ビットのデータc1, c0は、遅延器21, 22と排他的論理和回路23, 24により構成される演算器により、データb0を演算して生成されるようになされている。

## 【0007】

すなわち、データb0は、遅延器21、排他的論理和回路23、および排他的論理和回路24に入力される。遅延器21に入力されたデータb0は、1単位時間遅延され、遅延器22と排他的論理回路23に出力される。遅延器22に入力されたデータは、さらに1単位時間遅延され、排他的論理和回路23と排他的論理和回路24に出力される。排他的論理和回路23は、いま符号化器3に入力されているデータb0、その1単位時間前に符号化器3に入力されたデータ、さらに2単位時間前に符号化器3に入力されたデータの合計3つのデータの入力を受け、これらの3つのデータの排他的論理和を演算することにより、出力データc1を生成する。

## 【0008】

排他的論理和回路24は、いま符号化器3に入力されているデータb0と、2単位時間前に符号化器3に入力されたデータの入力を受け、これら2つのデータの排他的論理和を演算することにより、出力データc0を生成する。

## 【0009】

このようにして、符号化器3から出力された出力データ(c1, c0)は、パンクチャリング器4に入力される。パンクチャリング器4は、伝送路6に対して、符号化率 $R = 1/2$ のデータを出力する場合、入力されたデータをそのままマッピング器5に出力し、符号化率 $R = 3/4$ のデータを出力する場合、入力されたデータをパンクチャリングして、マッピング器5に出力する。

## 【0010】

図25は、パンクチャリングを説明する図である。パンクチャリング器4は、図25(A)に示すように、入力されたデータ(c1, c0)を、保持している

図 25 (B) に示すパンクチャリングテーブルに従ってパンクチャリングし、データ (p 1, p 0) を出力する。

【0011】

図 25 (B) に示したパンクチャリングテーブルでは、“1” は入力されたデータがデータ p 1 または p 2 として出力されることを示しており、“0” は入力されたデータは出力されない (消去される) ことを示している。例えば、図 26 (A) に示したようなデータが入力された場合、図 26 (B) に示したデータが出力される。

【0012】

すなわち、図 26 (A) に示したように、入力データ c 1 としてデータ X 1 乃至 X 6 が、入力データ c 0 としてデータ Y 1 乃至 Y 6 が、それぞれ入力された場合、ただし、データ c 0, c 1 の順で入力されるため、パンクチャリング器 4 には、データ Y 1, X 1, Y 2, X 2, . . . , Y 6, X 6 の順で順次入力された場合、図 26 (B) に示したように、出力データ p 1 としてデータ X 1, Y 3, X 4, Y 6 が、出力データ p 0 としてデータ Y 1, X 2, Y 4, X 5 が、それぞれ出力される。ただし、出力データは、データ p 0, p 1 の順で出力されるため、パンクチャリング器 4 からは、データ Y 1, X 1, X 2, Y 3, Y 4, X 4, X 5, Y 6 の順で出力される。

【0013】

入力されたデータ Y 1, X 1 は、パンクチャリングテーブルの値 1 の位置に相当するデータなので、そのまま、出力データ P 0, P 1 として出力されるが、入力されたデータ Y 2 は、パンクチャリングテーブルの値 0 の位置に相当するデータのため削除される。そして、次に出力される (パンクチャリングテーブルの値 1 の位置に相当する) データ X 2 がデータ p 0 として出力される。以下、同様に、パンクチャリングテーブルの値 0 の位置に相当するデータは削除され、パンクチャリングテーブルの値 1 に相当するデータは出力される。

【0014】

このようにしてパンクチャリング器 4 から出力されたデータは、マッピング器 5 により、図 27 に示したような信号点にマッピングされる。各信号点は、90

度の等間隔で配置されている。図 25 で示した  $p_1$  が、信号点割り当ての MSB に、 $p_0$  が信号点割り当ての LSB になる。すなわち、信号点の割り当ては、 $(p_1, p_0)$  と表すことができる。

## 【0015】

マッピング器 5 によりマッピングされたデータは、伝送路 6 を介して受信機 7 のビット挿入器 8 に入力される。図 28 は、ビット挿入について説明する図である。ビット挿入は、パンクチャリング器 4 で行われたパンクチャリングと逆の処理、すなわち、符号化率  $R = 1/2$  のデータを受信した場合、その受信されたデータをそのまま復号器 9 に出力し、符号化率  $R = 3/4$  のデータを受信した場合、削除されたデータ（ビット）を挿入する処理である。

## 【0016】

図 28 (A) に示したように、ビット挿入器 8 は、入力されたデータ  $(p_1', p_0')$  を、図 28 (B) に示したデパンクチャリングテーブルに従ってビット挿入し、出力データ  $(c_1', c_0')$  を出力する。図 28 (B) に示したデパンクチャリングテーブルの値 1 は、入力されたデータをそのまま出力することを示し、値 0 は 0 を挿入する（ビットを挿入する）ことを示している。

## 【0017】

例えば、図 29 (A) に示した入力データ（パンクチャリング器 4 から出力されたデータで、図 26 (B) に示したデータ）がビット挿入器 8 に入力された場合、図 29 (B) に示したデータが出力される。送信機 1 から送信されたデータは、データ  $p_0, p_1$  の順なので、受信機 7 のビット挿入器 8 に入力される順も、データ  $p_0', p_1'$  になる。そして、ビット挿入器 8 から出力されるデータの順は、データ  $c_0', c_1'$  になる。

## 【0018】

従って、入力データ  $p_0'$  として入力されたデータ  $X_2$  は、デパンクチャリングテーブルの値 0 の位置に相当するデータなので、入力されたデータ  $X_2$  の代わりに 0 が挿入される形で、データ  $c_0'$  として出力される。そして、データ  $X_2$  は、データ  $c_1'$  として出力される。このように、値 0 に位置する入力データは、0 が挿入されて出力される。

## 【0019】

このようにして、ビット挿入器 8 によりビットが挿入されたデータは、復号器 9 に出力される。図 30 は、復号器 9 の内部構成を示すブロック図である。復号器 9 は、ブランチメトリック生成器 31（以下、BM 生成器 31 と記述する）、ACS (Add, Compare and Select) 回路 32、およびパスメモリ 33 から構成されている。復号器 9 に入力された信号は、まず、伝送路の雑音や歪みのある受信信号点から、本来受信すべき信号点までのユークリッド距離の 2 乗を計算し、ブランチメトリックとして発生する BM 生成器 31 に入力される。BM 生成器 31 で発生されたブランチメトリックは、ACS 回路 32 により、畳み込み符号のトレリスに従って、累積計算され、比較されることで、各状態のステートメトリックが計算される。

## 【0020】

図 31 は、ACS 回路 32 により行われるステートメトリックの算出について説明するトレリス遷移図である。時刻  $t+1$  におけるステート 00 に入るパスとしては、時刻  $t$  におけるステート 00 で BM 00 が選択された場合と、時刻  $t$  におけるステート 01 で BM 11 が選択された場合の、2 つのパスが考えられる。時刻  $t$  のステート 00 のステートメトリックに BM 00 の値を加算した値と、時刻  $t$  のステート 01 のステートメトリックに BM 11 を加算した値とが比較され、値の小さいパスが、時刻  $t+1$  の時のステート 00 のステートメトリックとして用いられる。

## 【0021】

同様に、時刻  $t+1$  の時のステート 01, 10, 11 のステートメトリックも算出される。

## 【0022】

ACS 回路 32 は、上述したように、符号化側（伝送側）の状態遷移を類推しながら、パスメモリ 33 を制御する。伝送路での雑音や歪みが無ければ、入力された信号は、本来の送信信号点に一致するので、BM 生成器 31 は、送信した信号点に関するブランチメトリックは 0 を、その他のブランチメトリックは信号点間の距離の 2 乗を、それぞれ発生する。従って、ACS 回路 32 において、これらの

ブランチメトリックが状態遷移図に従って累積加算され、ステートメトリックが計算されると、本来のパスに関しては、ステートメトリックは0のままであるが、その他のパスに関しては、ステートメトリックが大きな値を持つことになるので、このことから送信信号系列を推定することが可能となる。

#### 【0023】

ここで、入力された信号に雑音に乗っていた場合を考える。入力された信号は、本来の送信信号点と雑音を加算されているため、本来の送信信号点に関するブランチメトリックは必ずしも0になるとは限らず、雑音電力による不確定性を有する。同様に、その他のブランチメトリックに関しても、信号点間距離の2乗は、雑音電力に依存した不確定性を有する。しかしながら、雑音電力が小さいとき、送信信号系列は、ACS回路32にて、これらのブランチメトリックを状態遷移図に従って、累積加算し、ステートメトリックを計算すると、本来のパスに関しては、ステートメトリックは小さな値であるが、その他のパスに関しては、ステートメトリックが大きな値を持つことになることから、送信信号系列を推定することができる。

#### 【0024】

図32はACS回路32の構成を示すブロック図である。ACS回路32は、ステート00、01、10、11の、それぞれのステートメトリックを求めるステート00生成部41、ステート01生成部42、ステート10生成部43、およびステート11生成部44とから構成されている。ステート00生成部41は、加算器45-1、46-1とセレクタ47-1から構成されている。加算器45-1には、時刻 $t$ におけるステート00のステートメトリックとBM00が入力され、加算される。同様に、加算器46-1には、時刻 $t$ におけるステート01のステートメトリックとBM11が入力され、加算される。

#### 【0025】

セレクタ47-1は、加算器45-1と加算器46-1とから、それぞれ入力された値を比較し、値の小さい方をレジスタ48-1に出力する。レジスタ48-1は、セレクタ47-1から出力された時刻 $t+1$ におけるステート00のステートメトリックの値を、次の時刻 $t+2$ のステート00のステートメトリック

を求める際の値として記憶するとともに、パスメモリ 33 にも出力する。

## 【0026】

ステート 01 生成部 42 は、加算器 45-2, 46-2 とセクタ 47-2 から構成されている。加算器 45-2 には、時刻  $t$  におけるステート 10 のステートメトリックと BM10 が入力されて加算され、加算器 46-2 には、時刻  $t$  におけるステート 11 のステートメトリックと BM01 が入力されて加算される。セクタ 47-2 は、加算器 45-2 と加算器 46-2 とから、それぞれ入力された値を比較し、値の小さい方をレジスタ 48-2 に出力する。レジスタ 48-2 は、セクタ 47-2 から出力された時刻  $t+1$  におけるステート 01 のステートメトリックの値を、次の時刻  $t+2$  のステート 01 のステートメトリックを求める際の値として記憶するとともに、パスメモリ 33 にも出力する。

## 【0027】

ステート 10 生成部 43 は、加算器 45-3, 46-3 とセクタ 47-3 から構成されている。加算器 45-3 には、時刻  $t$  におけるステート 00 のステートメトリックと BM11 が入力されて加算され、加算器 46-3 には、時刻  $t$  におけるステート 01 のステートメトリックと BM00 が入力されて加算される。セクタ 47-3 は、加算器 45-1 と加算器 46-3 とから、それぞれ入力された値を比較し、値の小さい方をレジスタ 48-3 に出力する。レジスタ 48-3 は、セクタ 47-3 から出力された時刻  $t+1$  におけるステート 10 のステートメトリックの値を、次の時刻  $t+2$  のステート 10 のステートメトリックを求める際の値として記憶するとともに、パスメモリ 33 にも出力する。

## 【0028】

ステート 11 生成部 44 は、加算器 45-3, 46-3 とセクタ 47-4 から構成されている。加算器 45-4 には、時刻  $t$  におけるステート 10 のステートメトリックと BM01 が入力され、加算され、加算器 46-4 には、時刻  $t$  におけるステート 11 のステートメトリックと BM10 が入力され、加算される。セクタ 47-4 は、加算器 45-1 と加算器 46-4 とから、それぞれ入力された値を比較し、値の小さい方をレジスタ 48-4 に出力する。レジスタ 48-4 は、セクタ 47-4 から出力された時刻  $t+1$  におけるステート 11 のステ

ートメトリックの値を、次の時刻 $t+2$ のステート11のステートメトリックを求める際の値として記憶するとともに、パスメモリ33にも出力する。

## 【0029】

しかしながら、上述したACS回路32のビット長は有限であるので、ブランチメトリックの加算によるオーバーフローを起こしてしまうので、オーバーフローを起こさないように処理する必要がある。このように、オーバーフローを起こさないように処理することを正規化と称する。図33に正規化を行いながらステートメトリックを算出するACS回路32の構成を示す。

## 【0030】

図33に示したACS回路32の構成においては、ステート00生成部41から出力された値は減算器51-1を介してレジスタ48-1に供給され、ステート01生成部42から出力された値は減算器51-2を介してレジスタ48-2に供給され、ステート10生成部43から出力された値は減算器51-3を介してレジスタ48-3に供給され、ステート11生成部44から出力された値は減算器51-4を介してレジスタ48-4に供給される。レジスタ48-1乃至48-4からの出力は、それぞれパスメモリ33と最小値演算回路52に入力される。

## 【0031】

最小値演算回路52は、レジスタ48-1乃至48-4から出力されたステートメトリックの最小値を演算し、その値を減算器51-1乃至51-4、パスメモリ33、および監視回路11に出力する。減算器51-1乃至51-4は、それぞれ対応するステート生成部41乃至44から入力された値から、最小値演算回路52から入力された値を減算する。このようにして、正規化が行われる。

## 【0032】

図34は、監視回路11の構成を示すブロック図である。監視回路11は、累計加算器61とテーブル62とから構成されている。累計加算器61は、所定時間当たりの最小ステートメトリックの値を累計し、その累計和をテーブル62に出力する。テーブル62は、ROM (Read Only Memory) などから構成されており、累計加算器61から出力された値とノイズとが関連付けられたテーブルを用い

て、伝送路のノイズの判定をする。

【0033】

図35は、累計加算器61の構成を示すブロック図である。タイマ71は、所定の周期でパルスが発生し、そのパルスを最小SM（ステートメトリック）値累計装置72に供給する。最小SM値累計装置72には、最小値演算回路52（図33）から出力されたステートメトリックの最小値と、最小SM値累計装置72から出力され、フィードバックされた値が入力される。また、最小SM値累計装置72から出力された値とタイマ71で発生されたパルスは、レジスタ73にも供給される。

【0034】

図36のタイミングチャートを参照して、図35に示した累計加算器61の動作を説明する。タイマ71により発生されるパルス（図36（A））は、最小SM値の累計をリセットするためのリセットパルスであり、最小SM値累計装置72は、所定の時刻 $t$ に発生されたパルスと、その次の時刻 $t+1$ で発生されたパルスとの間に入力された最小SM値を累計し、その値をレジスタ73に出力する。

【0035】

最小SM値累計装置72に、最小SM値として、図36（B）に示したような値が入力されると、図36（C）に示したような値が出力される。すなわち、最小SM値累計装置72は、時刻 $t$ において、タイマ71からのパルスが入力されると、累計値を0にリセットする。そして、時刻 $t$ 乃至 $t+1$ の間に入力された最小SM値を順次累計していく。そして、再び時刻 $t+1$ において、タイマ71からのパルスが入力されると、累計値がリセットされて0とされる。

【0036】

レジスタ73は、タイマ71からのパルスが入力された時点に最小SM値累計装置72から入力された値を記憶し、その値をテーブル62に出力する。

【0037】

図37は、テーブル62に記憶されているテーブルの一例を示す図である。伝送方式がQPSKであり、符号化率 $R=1/2$ の場合、図37（A）に示したテーブ



ルに従って伝送路上のデータの伝送誤り率 ( $C/N$ ) の大きさが判定される。また、伝送方式がQPSKであり、符号化率  $R = 3/4$  の場合、図 37 (B) に示したテーブルに従って伝送路上のデータの伝送誤り率の大きさが判定される。

#### 【0038】

##### 【発明が解決しようとする課題】

上述した伝送路上の誤り率を判定するには、最小ステートメトリックの値を算出する最小値演算回路 52、最小値演算回路 52 からの出力を累計する最小 SM 値累計装置 72、および累計した値を記憶するレジスタ 73 が必要であった。これらの回路 (装置) は、送信機 1 から送信される送信信号点の数 (状態数) (上述した例では 4 状態) が増加するに従って、その回路規模が大きくなるといった課題があった。

#### 【0039】

また、状態数の増加に伴い、演算時間も増大するといった課題があった。さらに、BS の伝送方式においては、時分割に異なる伝送方式が用いられて伝送されることが提案されている。複数の伝送方式が用いられた場合、図 34 に示したような監視回路 11 では、伝送誤り率を判定する事が困難になるといった課題があった。

#### 【0040】

本発明はこのような状況に鑑みてなされたものであり、ステートメトリックを求める回路において行われる正規化の回数を用いて伝送路上の誤り率を判定することにより、演算時間の短縮や回路規模の縮小を可能にするものである。

#### 【0041】

##### 【課題を解決するための手段】

請求項 1 に記載の誤り率推定装置は、ステートメトリックを生成する際に行われる正規化の回数を、所定時間内カウントするカウント手段と、カウント手段によりカウントされた正規化回数により、信号の誤り率を推定する推定手段とを含むことを特徴とする。

#### 【0042】

請求項 5 に記載の誤り率推定方法は、ステートメトリックを生成する際に行わ

れる正規化の回数を、所定時間内カウントするカウントステップと、カウントステップでカウントされた正規化回数により、信号の誤り率を推定する推定ステップとを含むことを特徴とする。

## 【0043】

請求項6に記載の提供媒体は、誤り率推定装置に、ステートメトリックを生成する際に行われる正規化の回数を、所定時間内カウントするカウントステップと、カウントステップでカウントされた正規化回数により、信号の誤り率を推定する推定ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

## 【0044】

請求項7に記載の誤り率推定装置は、信号の伝送方式または符号化率を判定する判定手段と、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントするカウント手段と、カウント手段によりカウントされた正規化回数により、信号毎の誤り率を推定する推定手段と、推定手段により推定された信号毎の誤り率のうちの1つを選択する選択手段とを含むことを特徴とする。

## 【0045】

請求項10に記載の誤り率推定方法は、信号の伝送方式または符号化率を判定する判定ステップと、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントするカウントステップと、カウントステップでカウントされた正規化回数により、信号毎の誤り率を推定する推定ステップと、推定ステップで推定された信号毎の誤り率のうちの1つを選択する選択ステップとを含むことを特徴とする。

## 【0046】

請求項11に記載の提供媒体は、信号の伝送方式または符号化率を判定する判定ステップと、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントするカウントステップと、カウントステップでカウントされた正規化回数により、信号毎の誤り率を推定する推定ステップと、推定ステップで推定された信号毎の誤り率のうち、1つを選択する選

択ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

## 【0047】

請求項12に記載の誤り率推定装置は、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントするカウント手段と、カウント手段によりカウントされた正規化回数により、信号毎の誤り率を推定する推定手段と、伝送方式または符号化率のうち、所定の伝送方式または符号化率の推定手段により推定された誤り率の値に応じて、信号毎の誤り率に乗算する値を決定し、乗算する乗算手段と、乗算手段から出力された信号毎の誤り率を加算し、出力する出力手段とを含むことを特徴とする。

## 【0048】

請求項13に記載の誤り率推定方法は、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントするカウントステップと、カウントステップでカウントされた正規化回数により、信号毎の誤り率を推定する推定ステップと、伝送方式または符号化率のうち、所定の伝送方式または符号化率の推定ステップで推定された誤り率の値に応じて、信号毎の誤り率に乗算する値を決定し、乗算する乗算ステップと、乗算ステップから出力された信号毎の誤り率を加算し、出力する出力ステップとを含むことを特徴とする。

## 【0049】

請求項14に記載の提供媒体は、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントするカウントステップと、カウントステップでカウントされた正規化回数により、信号毎の誤り率を推定する推定ステップと、伝送方式または符号化率のうち、所定の伝送方式または符号化率の推定ステップで推定された誤り率の値に応じて、信号毎の誤り率に乗算する値を決定し、乗算する乗算ステップと、乗算ステップから出力された信号毎の誤り率を加算し、出力する出力ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

## 【0050】

請求項1に記載の誤り率推定装置、請求項5に記載の誤り率推定方法、および請求項6に記載の提供媒体においては、ステートメトリックを生成する際に行われる正規化の回数が、所定時間内カウントされ、そのカウントされた正規化回数により、信号の誤り率が推定される。

## 【0051】

請求項7に記載の誤り率推定装置、請求項10に記載の誤り率推定方法、および請求項11に記載の提供媒体においては、ステートメトリックを生成する際に行われる正規化の回数が、複数の伝送方式毎または符号化率毎にカウントされ、そのカウントされた正規化回数により、信号毎の誤り率が推定され、そのうちの1つが選択されて出力される。

## 【0052】

請求項12に記載の誤り率推定装置、請求項13に記載の誤り率推定方法、および請求項14に記載の提供媒体においては、ステートメトリックを生成する際に行われる正規化の回数が、複数の伝送方式毎または符号化率毎にカウントされ、そのカウントされた正規化回数により、信号毎の誤り率が推定され、所定の伝送方式または符号化率の推定手段により推定された誤り率の値に応じて、信号毎の誤り率に乗算する値が決定され、乗算され、さらに加算されて出力される。

## 【0053】

## 【発明の実施の形態】

本発明を適用する送信機と受信機は、それぞれ図23に示した従来の場合と基本的に同様の構成とされているので、その説明は省略する。本発明では、受信機側において行われる伝送路上の誤り率の判定の仕方が、従来と異なっている。そこで、まず最初に、復号器9のACS回路32の構成について、図1を参照して説明する。

## 【0054】

図1は、全ステートのステートメトリックの上位1ビットのデータを用いて正規化を行い、ステートメトリックを求めるACS回路32の構成を示すブロック図である。ステート00のステートメトリックを生成するステート00生成部41

から出力されたNビットのデータのうち、最上位の1ビットは、排他的論理和を演算するEXOR (exclusive OR) 回路81-1を介してレジスタ48-1に入力され、最上位の1ビットを除くN-1ビットは、EXOR回路81-1を介さずにレジスタ48-1に入力される。EXOR回路81-1には、論理積を演算するAND回路82からのデータも入力される。レジスタ48-1から出力されたデータは、バスメモリ33に供給されると共に、最上位の1ビットは、AND回路82にも供給される。

## 【0055】

同様に、ステート01生成部42から出力されたNビットのデータのうち、最上位の1ビットは、EXOR回路81-2を介してレジスタ48-2に入力され、最上位の1ビットを除くN-1ビットは、EXOR回路81-2を介さずにレジスタ48-2に入力される。EXOR回路81-2には、AND回路82からのデータも入力される。レジスタ48-2から出力されたデータは、バスメモリ33に供給されると共に、最上位の1ビットは、AND回路82にも供給される。

## 【0056】

また、ステート10生成部43から出力されたNビットのデータのうち、最上位の1ビットは、EXOR回路81-3を介してレジスタ48-3に入力され、最上位の1ビットを除くN-1ビットは、EXOR回路81-3を介さずにレジスタ48-3に入力される。EXOR回路81-3には、AND回路82からのデータも入力される。レジスタ48-3から出力されたデータは、バスメモリ33に供給されると共に、最上位の1ビットは、AND回路82にも供給される。

## 【0057】

さらに、ステート11生成部44から出力されたNビットのデータのうち、最上位の1ビットは、EXOR回路81-4を介してレジスタ48-4に入力され、最上位の1ビットを除くN-1ビットは、EXOR回路81-4を介さずにレジスタ48-4に入力される。EXOR回路81-4には、AND回路82からのデータも入力される。レジスタ48-4から出力されたデータは、バスメモリ33に供給されると共に、最上位の1ビットは、AND回路82にも供給される。

## 【0058】

AND回路82は、レジスタ48-1乃至48-4から出力されたデータの上位1ビットが全て1のときは1を出力し、それ以外のときは0を出力する。各ステートのステートメトリックの値が徐々に増加していき、最小ステートメトリックの最上位の1ビットが1になったときに、排他的論理和演算（EXOR回路81-1乃至81-4）を用いて、全ステートのステートメトリックの最上位ビットを0とすることで、正規化が行われる。

## 【0059】

図2は、監視回路11の構成を示すブロック図である。監視回路11は、正規化回数累計回路91とテーブル92とから構成されている。正規化回数累計回路91には、ACS回路32から正規化情報が入力される。正規化情報は、ACS回路32により正規化が行われる毎に監視回路11に出力される情報である。

## 【0060】

図3は、正規化回数累計回路91の構成を示すブロック図である。正規化回数累計回路91は、タイマ101、正規化回数累計カウンタ102、およびレジスタ103から構成されている。ACS回路32から出力された正規化情報は、正規化回数累計カウンタ102に入力される。正規化回数累計カウンタ102には、タイマ101で所定時間毎に発生されるパルスも入力される。また、タイマ101で発生されたパルスは、レジスタ103にも出力される。レジスタ103には、正規化回数累計カウンタ102からの出力も入力される。

## 【0061】

図4のタイミングチャートを参照して、図3に示した正規化回数累計回路91の動作について説明する。図4（A）に示したように、タイマ101により、1単位時間毎に、パルスが発生され、その発生されたパルスは、正規化回数累計カウンタ102とレジスタ103に供給される。図4（B）に示したように、ACS回路32から正規化情報が出力された場合、正規化回数累計カウンタ102は、その入力回数をカウントする。図4に示した例では、1単位時間に8回の正規化情報が入力されている。

## 【0062】

正規化回数累計カウンタ102は、タイマ101から供給されるパルス毎に、カウンタ値をレジスタ103に出力する（図4（D））と共に、その値を0にリセットする。このようにして、レジスタ103に出力され、記憶されたカウンタ値は、タイマ101からのパルスが入力されたときに、テーブル92に出力される。

## 【0063】

図5は、テーブル92が記憶しているテーブルの一例を示す図である。図5に示したテーブルは、正規化回数累計回路91のレジスタ103から出力されたカウンタ値（計数値）と、その計数値から推定される伝送路6の伝送誤り率の値（BER: Bit Error Rate）との対応を示している。図5（A）は、伝送方式がQPSK方式で、符号化率 $R = 1/2$ の場合のテーブルであり、図5（B）は、伝送方式がQPSK方式で、符号化率 $R = 3/4$ の場合のテーブルである。

## 【0064】

例えば、伝送方式がQPSK方式で符号化率 $R = 1/2$ の場合で、レジスタ103から供給された計数値が355以上のとき、伝送路6の誤り率情報12（図23）として出力される値は、 $0.50 \times 10^{-3}$ である。同様に、伝送方式、符号化率、および計数値に対応した値からテーブルに基づいて算出された値が、誤り率情報12として出力される。

## 【0065】

図6は、誤り率情報12として、CN比（Carrier to Noise Ratio）を出力する場合のテーブルを示している。図6（A）は、伝送方式がQPSK方式で、符号化率 $R = 1/2$ の場合のテーブルであり、図6（B）は、伝送方式がQPSK方式で、符号化率 $R = 3/4$ の場合のテーブルである。例えば、伝送方式がQPSK方式で、符号化率 $R = 1/2$ の場合で、レジスタ103から供給された計数値が355以上のとき、伝送路6の誤り率情報12として出力される値は、3.00（dB）である。

## 【0066】

図7は、監視回路11の他の構成を示すブロック図である。図7に示した監視

回路 11 は、正規化回数累計回路 91 と関数演算回路 111 から構成されている。関数演算回路 111 は、誤り率情報 12 を推定するのに、図 5 や図 6 で示したテーブルを用いず、これらのテーブルから算出される関数  $f$  を用いて推定する。

## 【0067】

図 5 (A) に示した、伝送方式が QPSK 方式で符号率  $R$  が  $1/2$  の場合のテーブルにおいて、計数値が 345 乃至 354 (代表値を 350 とする) のとき、BER は  $1.09 \times 10^{-3}$  であり、計数値が 335 乃至 344 (代表値を 340 とする) のとき、BER は  $0.80 \times 10^{-2}$  である。換言すると、計数値が 350 から 340 に、10 だけ減ると、BER の値としては約 4 倍になることがわかる。このことを考慮し、関数演算回路 111 に用いる式を算出すると、次式 (1) に示すようになる。

$$f(\text{input}) = 0.0005 \times 4^{((360 - \text{input})/10)} \dots (1)$$

式 (1) において、input は、正規化回数累計回路 91 から入力される計数値を表す。

## 【0068】

なお、式 (1) において、input として取り得る計数値の範囲は 335 以上 354 以下である。計数値が 334 以下の場合、誤り率情報 12 として  $0.2 \times 10^{-1}$  が出力され、計数値が 355 以上の場合、誤り率情報 12 として  $0.5 \times 10^{-3}$  が出力される。

## 【0069】

これは、関数  $f$  により得られる値と、テーブルを作成する際に用いた値との間に差が生じる (関数  $f$  に従わなくなる) からである。このように、実用範囲において、問題のない範囲では関数  $f$  を用い、その他の範囲においては、計数値にあった値を出力するようにする。

## 【0070】

同様に、図 5 (B) の伝送方式が QPSK 方式で符号率  $R$  が  $3/4$  の場合のテーブルの場合に対応する関数  $f$  として、次式 (2) が導かれる。

$$f(\text{input}) = 0.0033 \times 3^{((580 - \text{input})/10)} \dots (2)$$

式 (2) において、input として取り得る計数値の範囲は、545 以上 565 以



下である。計数値が544以下の場合、誤り率情報12として $1.90 \times 10^{-1}$ が出力され、計数値が565以上の場合、誤り率情報12として $4.80 \times 10^{-3}$ が出力される。

【0071】

図6(A)に示した伝送方式がQPSK方式で符号率Rが1/2の場合のテーブルに対応する関数fとして、次式(3)が導かれる。

$$f(\text{input}) = 0.05 \times (\text{input} - 300) \quad \dots (3)$$

式(3)において、inputとして取り得る計数値の範囲は、335以上355以下である。計数値が334以下の場合、誤り率情報12として1.50が出力され、計数値が355以上の場合、誤り率情報12として3.00が出力される。

【0072】

図6(B)に示した伝送方式がQPSK方式で符号率Rが3/4の場合のテーブルに対応する関数fとして、次式(4)が導かれる。

$$f(\text{input}) = 0.025 \times (\text{input} - 500) \quad \dots (4)$$

式(4)において、inputとして取り得る計数値の範囲は、544以上565以下である。計数値が544以下の場合、誤り率情報12として0.85が出力され、計数値が565以上の場合、誤り率情報12として2.20が出力される。

【0073】

図8にテーブルを作成する際にもととなるデータと、式(1)乃至式(4)のうちの、いずれか1つの式で得られるグラフとの関係を示す。図8からわかるように、式(1)乃至式(4)は、点線内に存在するテーブルの値との近似式である。点線外では、テーブルの値とは近似しないため、上述したように、式(1)乃至式(4)を用いて誤り率情報12を得るのではなく、所定の値を出力するようにする。なお、実用の際に、式(1)乃至式(4)で得られるBERまたはC/N値で十分な場合、この式(1)乃至式(4)で得られる範囲外は、誤り率情報12を出力しないようにしてもよい。

【0074】

上述した説明においては、伝送方式がQPSK方式で、符号率Rが1/2または3/4の、どちらか一方である場合を説明したが、異なる伝送方式や符号率Rが混

在する場合がある。例えば、図9に示すように、伝送方式はQPSK方式だが、その符号率 $R$ が $1/2$ と $3/4$ が混在する場合を例に挙げて、以下の説明をする。

## 【0075】

図10は、異なる符号率 $R$ が混合する場合の復号器9と監視回路11の構成を示すブロック図である。この構成においては、監視回路11に、ビット挿入器8(図23)から符号率 $R$ に関する情報が入力される。ビット挿入器8は、符号率 $R$ を判定し、符号率 $R$ が $1/2$ の信号が入力された場合、その信号をそのまま復号器9に出力し、符号率 $R$ が $3/4$ の信号が入力された場合、デバンクチャリングすることによりビット挿入し、その信号を復号器9に出力するようにされており、監視回路11には、判定された符号率 $R$ の情報が入力される。

## 【0076】

図11は、図10に示した監視回路11の構成を示すブロック図である。この構成における正規化回数累計回路91には、ACS回路32からの正規化情報とビット挿入器8からの符号化率情報が入力される。

## 【0077】

図12は、図11に示した正規化回数累計回路91の構成を示すブロック図である。この構成においては、タイマ101と正規化回数累計カウンタ102に、符号化率情報が入力される。正規化回数累計カウンタ102には、正規化情報とタイマ101から出力されたパルスも入力される。レジスタ103には、正規化回数累計カウンタ102からの出力とタイマ101からのパルスが入力される。

## 【0078】

図13のタイミングチャートを参照して、図12に示した正規化回数累計回路91の動作について説明する。図13(A)に示したように伝送方式はQPSK方式で共通だが、その符号化率 $R$ が、 $1/2$ 、 $3/4$ 、 $1/2$ の順で変化する場合は、図13(B)に示したように、タイマ101においてパルスが発生される場合について説明する。タイマ101において発生される所定の時刻のパルスと、その次の時刻のパルスとの間隔を1単位時間とする。

## 【0079】

ここで、例えば、符号化率情報を、符号化率 $R = 1/2$ のとき1、符号化率 $R$

= 3/4 のとき 0 とすると、図 13 (A) に示したように符号化率  $R$  が変化する  
場合、符号化率情報は、図 13 (C) に示したようになる。そして、正規化情報  
が、図 13 (D) に示したように、1 単位時間内で、符号化率  $R = 1/2$  の時、  
6 回、符号化率  $R = 3/4$  の時、2 回、合計 8 回の正規化情報が正規回数累計カ  
ウンタ 102 に入力された場合、正規化回数累計カウンタ 102 は、同一の符号  
化率  $R$  の時の正規化の回数、換言すれば、符号化率情報が 1 の間のときしか、正  
規化の回数をカウントしない。

## 【0080】

すなわち、図 13 (E) に示した例では、符号化率  $R = 1/2$  の時の正規化回  
数しかカウントしないので、1 単位時間の正規化回数として、レジスタ 103 か  
ら、テーブル 92 に出力される値としては 6 となる。

## 【0081】

テーブル 92 は、このようにして入力された値と、記憶しているテーブルを用  
いて、誤り率情報 12 を算出して出力する。テーブル 92 が記憶するテーブルと  
しては、図 5 に示したテーブル、または図 6 で示したテーブルを用いることが可  
能である。また、関数  $f$  により誤り率情報 12 を求めるようにしても良い。

## 【0082】

図 14 は、異なる伝送方式や符号化率  $R$  が混在する場合に誤り率情報 12 を推  
定する監視回路 11 の他の構成を示すブロック図である。この構成においては、  
符号化率  $R$  が  $1/2$  の信号と  $3/4$  の信号とを分けて誤り率情報 12 を推定する  
。正規化回数累計回路 91-1 と正規化回数累計回路 91-2 には、ACS 回路 3  
2 からの正規化情報が入力される。ビット挿入器 8 からの符号化率情報は、正規  
化回数累計回路 91-2 とセクタ 122 に供給されると共に、NOT 回路 121  
を介して正規化回数累計回路 91-1 にも供給される。正規化回数累計回路 91  
-1 に入力される符号化率情報は、NOT 回路 121 を介して入力されるため、正  
規化回数累計回路 91-2 とは相反する情報が入力される。

## 【0083】

正規化回数累計回路 91-1 から出力された情報はテーブル 92-1 に、正規  
化回数累計回路 91-2 から出力された情報はテーブル 92-2 に、それぞれ入

力される。テーブル 92-1 とテーブル 92-2 から出力された情報は、それぞれ、セクタ 122 に入力される。セクタ 122 は、入力された符号化情報に基づき、テーブル 92-1, 92-2 から入力された情報のうちの、一方を選択して出力する。

#### 【0084】

正規化回数累計回路 91-1 と正規化回数累計回路 91-2 は、それぞれ、図 12 に示したような構成である。正規化回数累計回路 91-1 は、符号化率情報が符号化率  $R = 1/2$  のとき入力された正規化回数をカウントし、正規化回数累計回路 91-2 は符号化率情報が符号化率  $R = 3/4$  のとき入力された正規化回数をカウントする。上述したように、正規化回数累計回路 91-1 と正規化回数累計回路 91-2 に入力される符号化率情報は、互いに相反する情報が入力されるので、一方が正規化回数をカウントしている間、他方はカウントを行わない。

#### 【0085】

このようにして正規化回数累計回路 91-1, 91-2 によりカウントされた正規化回数は、それぞれ対応するテーブル 92-1, 92-2 に出力される。テーブル 92-1 には、図 5 (A) と図 6 (A) に示したテーブルが記憶されており、テーブル 92-2 には、図 5 (B) と図 6 (B) に示したテーブルが記憶されている。テーブル 92-1, 92-2 は、それぞれ記憶しているテーブルに従って、誤り率情報 12 を推定し、その結果をセクタ 122 に出力する。セクタ 122 は、入力された符号化率情報が示す符号率に対応するテーブル 92-1, 92-2 からの入力を選択し、誤り率情報 12 として出力する。

#### 【0086】

図 15 は、監視回路 11 の他の構成を示すブロック図である。この構成におけるセクタ 131 は、符号化情報を用いずにテーブル 92-1, 92-2 からの入力を選択して出力する。セクタ 131 の構成を図 16 に示す。セクタ 131 には、定数 C が記憶されており、この定数 C と入力された値とを比較することにより、出力する情報を決定する。すなわち、input 0 をテーブル 92-1 からの入力とし、input 1 をテーブル 92-2 からの入力とした場合、input 0 が定数 C よりも大きい場合、input 0 を誤り率情報 12 として出力し、input 0 が定数 C

よりも小さい、または同等である場合、input 1 を誤り率情報 1 2 として出力する。

#### 【0087】

図 1 7 はセクタ 1 3 1 の他の構成を示すブロック図である。このセクタ 1 3 1 は、入力された値に所定の重み付けを行った値を出力する。乗算器 1 4 1-1 には、テーブル 9 2-1 からの情報が入力され、乗算器 1 4 1-2 には、テーブル 9 2-2 からの情報が入力される。乗算器 1 4 1-1, 1 4 1-2 は、それぞれ入力された値に、所定の値を乗算し、その値を加算器 1 4 2 に出力する。加算器 1 4 2 は、入力された値を加算して出力する。

#### 【0088】

図 1 8 は、乗算器 1 4 1-1, 1 4 1-2 により乗算される重み付けの値を示すテーブルである。このテーブルは、図示されていない記憶部に記憶されており、必要に応じて、セクタ 1 3 1 の乗算器 1 4 1-1 と乗算器 1 4 1-2 に供給される。また、このテーブルは、図 6 に示したテーブルに対応したテーブルである。重み付けの値は、符号化率  $R = 1/2$  の方の誤り率情報 1 2 (テーブル 9 1-1 から出力される情報) をもとに決定される。例えば、乗算器 1 4 1-1 に入力されたテーブル 9 2-1 からの情報が、2. 5 の場合、乗算器 1 4 1-1 には、重み付けの値として 1. 0 が、乗算器 1 4 1-2 には、重み付けの値として 0. 0 が供給される。

#### 【0089】

図 1 9 は、重み付けの値としての他のテーブルである。このテーブルにおいては、符号化率  $R = 3/4$  の正規化累計数の情報をもとに、重み付けを行う場合のテーブルである。このテーブルに従って、重み付けを行う場合、乗算器 1 4 1-1 と乗算器 1 4 1-2 (図 1 7) に、それぞれ正規化回数累積回路 9 1-2 からの出力が供給されるようにする。そして、乗算器 1 4 1-1, 1 4 1-2 は、それぞれ、入力された正規化情報に基づいて、テーブル 9 2-1, 9 2-2 から入力された値に対して重み付けを行い出力する。例えば、正規化回数累計回路 9 1-2 から出力された正規化累計数の情報が 5 7 0 の場合、乗算器 1 4 1-1 は、テーブル 9 2-1 から入力された値に、0. 0 を乗算し、乗算器 1 4 1-2 は、

テーブル 92-2 から入力された値に、1.0 を乗算して加算器 142 に出力する。

#### 【0090】

上述した説明においては、テーブル 92-1, 92-2 は、記憶しているテーブルから誤り率情報 12 を推定するようにしたが、上述した関数を用いて推定するようにしてもよい。すなわち、テーブル 92-1 の代わりに、式 (3) の関数を用いた関数演算回路を用い、テーブル 92-2 の代わりに、式 (2) の関数を用いた関数演算回路を用いるようにしても良い。

#### 【0091】

異なる伝送方式（符号化率）で伝送された 2 以上の信号を同時に受信し、処理する場合の監視回路 11 について以下に説明する。図 20 は、異なる伝送方式で伝送された 2 つの信号を同時に受信し、処理する監視回路 11 を含む受信機の構成を示すブロック図である。監視回路 11 は、復号器 9 と復号器 9' の両方から正規化情報が入力される。

#### 【0092】

図 21 は、図 20 の監視回路 11 の構成を示すブロック図である。正規化回数累計回路 91-1 には、符号器 9 の正規化情報が入力され、正規化回数累計回路 91-2 には、符号器 9' の正規化情報が入力される。正規化回数累計回路 91-1 から出力された情報は、テーブル 92-1 に入力され、正規化回数累計回路 91-2 から出力された情報は、テーブル 92-2 に入力される。テーブル 92-1, 92-2 から出力された情報は、それぞれセクタ 131 に入力される。

#### 【0093】

正規化回数累計回路 91-1, 91-2 は、それぞれ図 3 に示したような構成とされており、正規化回数累計回路 91-1 は、符号化率  $R = 1/2$  の信号の正規化回数を累計し、正規化回数累計回路 91-2 は、符号化率  $R = 3/4$  の信号の正規化回数を累計する。テーブル 92-1 は、図 6 (A) のテーブルを記憶し、テーブル 92-2 は、図 6 (B) のテーブルを記憶しているとする。そして、セクタ 131 は、図 17 に示したような構成をしており、図 22 に示すテーブルを記憶し、この記憶されているテーブルに基づいて、入力された値に対して重

み付けをした値を出力する。

【0094】

図22に示したテーブルは、符号化率 $R = 3/4$ の誤り率情報12の推定値（テーブル92-2から出力された情報）をもとに、重み付けを行う場合のテーブルを示している。例えば、テーブル92-2から出力された推定値が、2.5の場合、セクタ131は、図22に示したテーブルに基づき、テーブル92-1から入力された推定値に1.0を乗算し、テーブル92-2から入力された推定値に0.0を乗算し、これらの値を加え合わせた値を出力する。

【0095】

上述したように、ステートメトリックを求めるACS回路32で行われる正規化回数をもとに伝送路上の誤り率を算出するようにしたので、回路規模を小型化、簡略化することが可能である。また、異なる伝送方式や符号率で伝送された信号に対しても、適切に誤り率情報を推定することが可能となる。

【0096】

本明細書中において、上記処理を実行するコンピュータプログラムをユーザに提供する提供媒体には、磁気ディスク、CD-ROMなどの情報記録媒体の他、インターネット、デジタル衛星などのネットワークによる伝送媒体も含まれる。

【0097】

【発明の効果】

以上の如く請求項1に記載の誤り率推定装置、請求項5に記載の誤り率推定方法、および請求項6に記載の提供媒体によれば、ステートメトリックを生成する際に行われる正規化の回数を、所定時間内カウントし、そのカウントされた正規化回数により、信号の誤り率を推定するようにしたので、信号の誤り率を推定する装置の構成を小型化し、高速に演算する事が可能となる。

【0098】

請求項7に記載の誤り率推定装置、請求項10に記載の誤り率推定方法、および請求項11に記載の提供媒体によれば、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントし、そのカウントされた正規化回数により、信号毎の誤り率を推定するようにしたので、

信号の誤り率を推定する装置の構成を小型化し、高速に演算する事が可能となる。

【0099】

請求項 12 に記載の誤り率推定装置、請求項 13 に記載の誤り率推定方法、および請求項 14 に記載の提供媒体によれば、ステートメトリックを生成する際に行われる正規化の回数を、複数の伝送方式毎または符号化率毎にカウントし、そのカウントされた正規化回数により、信号毎の誤り率を推定し、所定の伝送方式または符号化率の推定手段により推定された誤り率の値に応じて、信号毎の誤り率に乗算する値を決定し、乗算し、さらに加算して出力するようにしたので、亜信号の誤り率を推定する装置の構成を小型化し、高速に演算する事が可能となる。

【図面の簡単な説明】

【図 1】

ACS 回路 32 の構成を示すブロック図である。

【図 2】

本発明を適用した監視回路 11 の構成を示すブロック図である。

【図 3】

図 2 の正規化回数累計回路 91 の構成を示すブロック図である。

【図 4】

図 3 の正規化回数累計回路 91 の動作を説明するタイミングチャートである。

【図 5】

テーブル 92 に記憶されるテーブルを示す図である。

【図 6】

テーブル 92 に記憶されるテーブルを示す図である。

【図 7】

監視回路 11 の他の構成を示すブロック図である。

【図 8】

図 7 の関数演算回路 111 の関数について説明する図である。



【図 9】

異なる符号化率のフレーム構造を説明する図である。

【図 10】

復号器 9 の他の構成について説明する図である。

【図 11】

図 10 の監視回路 11 の構成を示すブロック図である。

【図 12】

図 11 の正規化回数累計回路 91 の構成を示すブロック図である。

【図 13】

図 12 の正規化回数累計回路 91 の動作を説明するタイミングチャートである。

【図 14】

監視回路 11 の他の構成例を示すブロック図である。

【図 15】

監視回路 11 のさらに他の構成例を示すブロック図である。

【図 16】

図 15 のセクタ 131 の構成を示す図である。

【図 17】

セクタ 131 の構成を示す図である。

【図 18】

セクタ 131 に記憶されているテーブルを示す図である。

【図 19】

セクタ 131 に記憶されているテーブルを示す図である。

【図 20】

異なる符号率の信号を同時に受信する際の監視回路と受信機との構成を示すブロック図である。

【図 21】

図 20 の監視回路 11 の構成を示すブロック図である。

【図 2 2】

図 2 1 のセクタ 1 3 1 に記憶されているテーブルを示す図である。

【図 2 3】

送信装置と受信装置の構成を示すブロック図である。

【図 2 4】

図 2 3 の符号化器 3 の構成を示すブロック図である。

【図 2 5】

図 2 3 のパンクチャリング器 4 について説明する図である。

【図 2 6】

パンクチャリング器 4 の入出力のデータを説明する図である。

【図 2 7】

図 2 3 のマッピング器 5 が行う信号点の配置について説明する図である。

【図 2 8】

図 2 3 のビット挿入器 8 について説明する図である。

【図 2 9】

ビット挿入器 8 の入出力のデータを説明する図である。

【図 3 0】

図 2 3 の復号器 9 の構成を示すブロック図である。

【図 3 1】

トレリス線図である。

【図 3 2】

図 3 0 の ACS 回路 3 2 の構成を示すブロック図である。

【図 3 3】

正規化を行う ACS 回路 3 2 の構成を示すブロック図である。

【図 3 4】

図 3 0 の監視回路 1 1 の構成を示すブロック図である。

【図 3 5】

図 3 4 の累積加算器 6 1 の構成を示すブロック図である。

【図 3 6】

図 3 5 の累積加算器 6 1 の動作を説明するタイミングチャートである。

【図 3 7】

図 3 4 のテーブル 6 2 に記憶されているテーブルを示す図である。

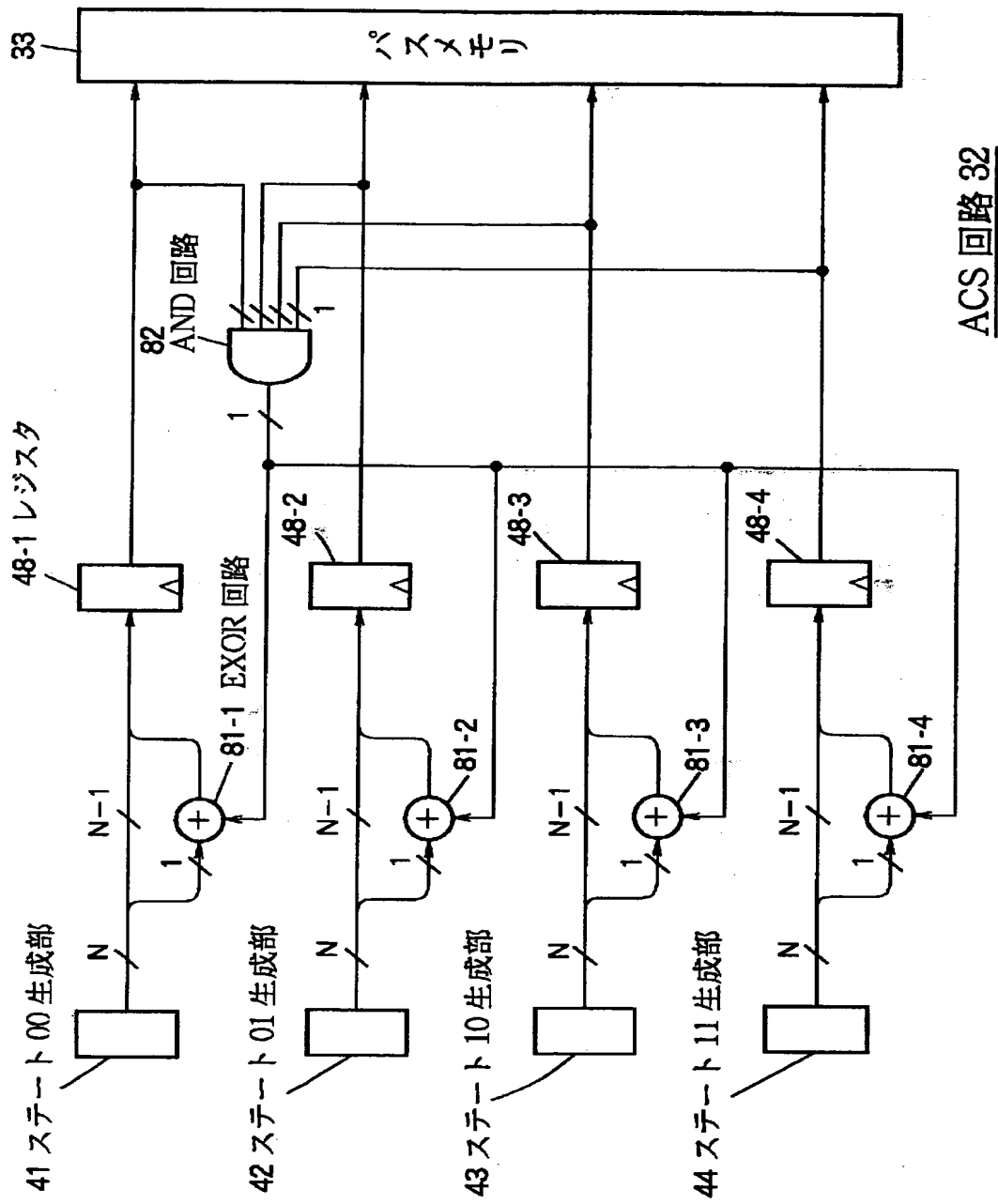
【符号の説明】

9 復号器, 11 監視回路, 31 BM生成器, 32 ACS回路, 3  
3 バスメモリ, 61 累積加算器, 62 テーブル, 71 タイマ,  
72 最小SM値累積装置, 73 レジスタ, 91 正規化回数累積回路,  
92 テーブル, 101 タイマ, 102 正規化回数累積カウンタ,  
103 レジスタ, 111 関数演算回路, 122, 131 セレクタ,  
141 乗算器, 142 加算器

【書類名】

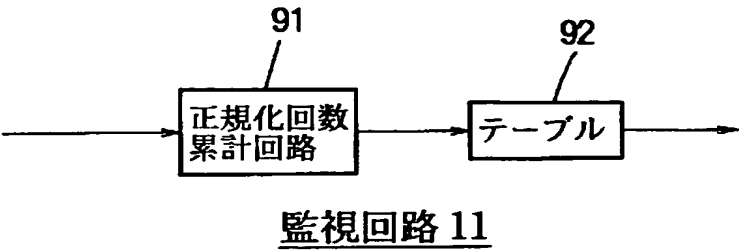
図面

【図 1】

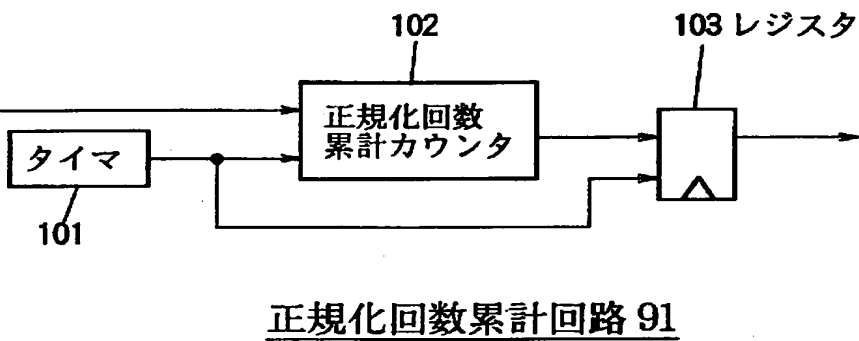


ACS 回路 32

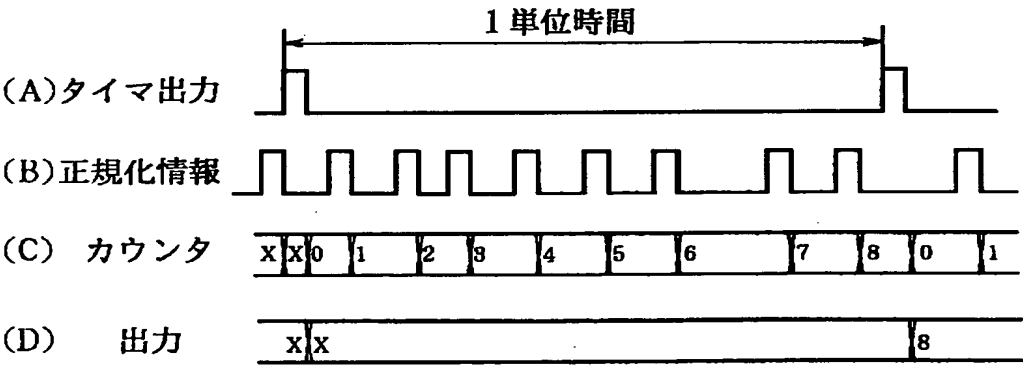
【図 2】



【図 3】



【図 4】



【図 5】

(A)

QPSK R=1/2	
計数值	BER
355 以上	$0.50 \times 10^{-3}$
345~354	$1.90 \times 10^{-3}$
335~344	$0.80 \times 10^{-2}$
334 以下	$0.20 \times 10^{-1}$

(B)

QPSK R=3/4	
計数值	BER
565 以上	$4.80 \times 10^{-3}$
555~564	$3.20 \times 10^{-2}$
545~554	$1.00 \times 10^{-1}$
544 以下	$1.90 \times 10^{-1}$

【図 6】

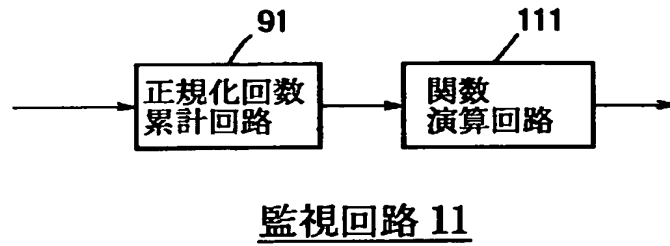
(A)

QPSK R=1/2	
計数值	C/N
355 以上	3.00
345~354	2.50
335~344	2.00
334 以下	1.50

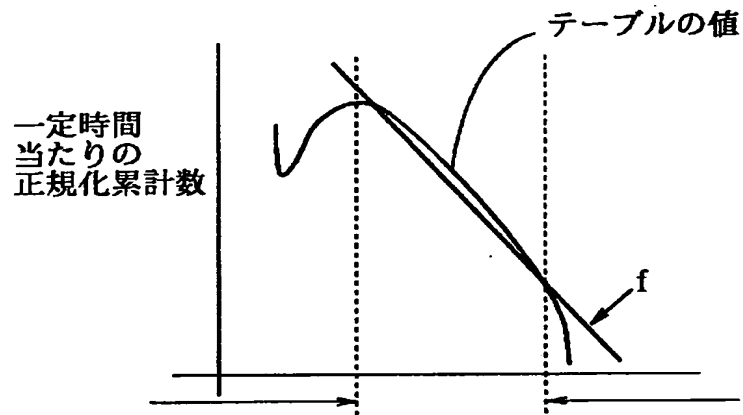
(B)

QPSK R=3/4	
計数值	C/N
565 以上	2.20
555~564	1.50
545~554	1.00
544 以下	0.85

【図 7】



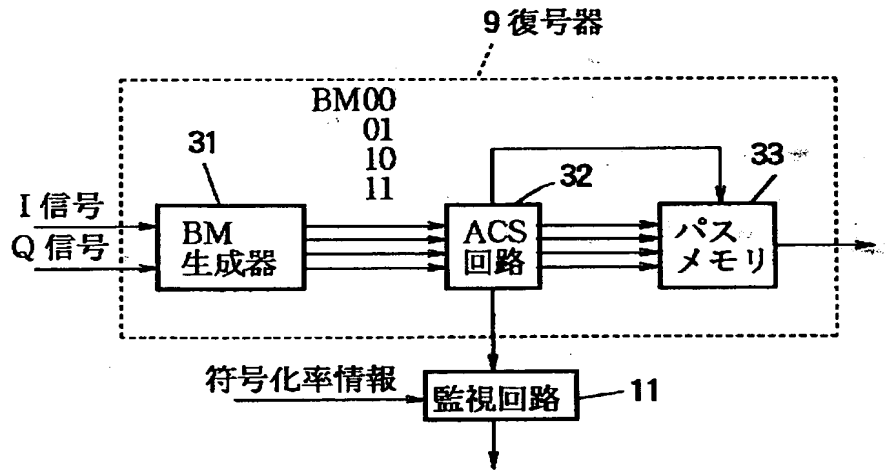
【図 8】



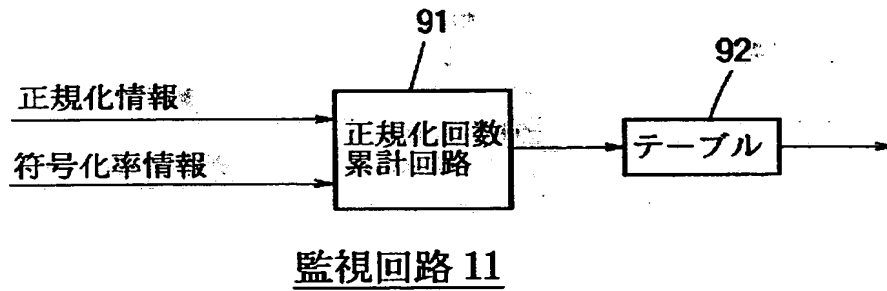
【図 9】

QPSK $R=3/4$	QPSK $R=1/2$	QPSK $R=3/4$	QPSK $R=1/2$
--------------	--------------	--------------	--------------

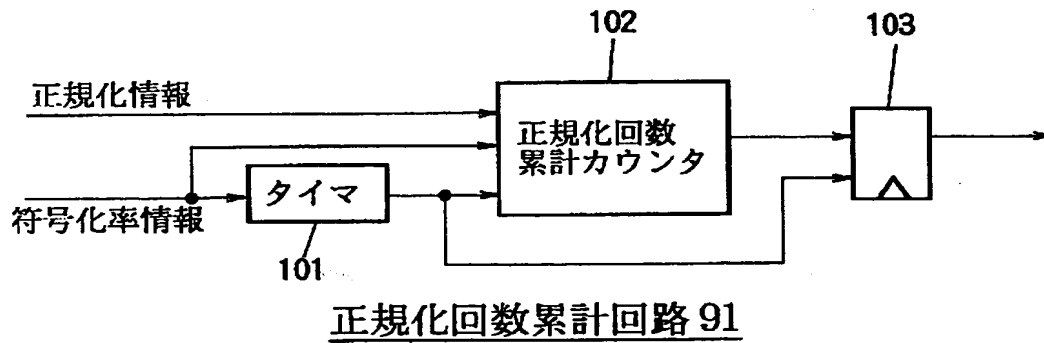
【図 10】



【図 11】



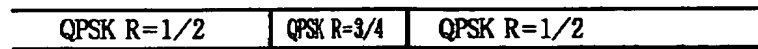
【図 12】





【図 13】

(A) 符号化・  
変調方式



(B) タイマ出力



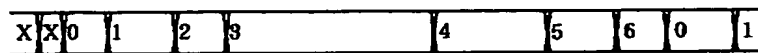
(C) 符号化率  
情報



(D) 正規化情報



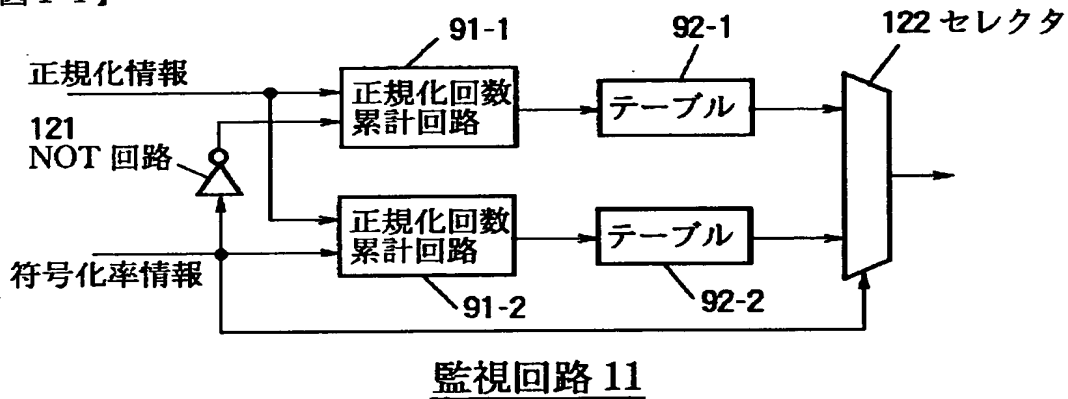
(E) カウンタ



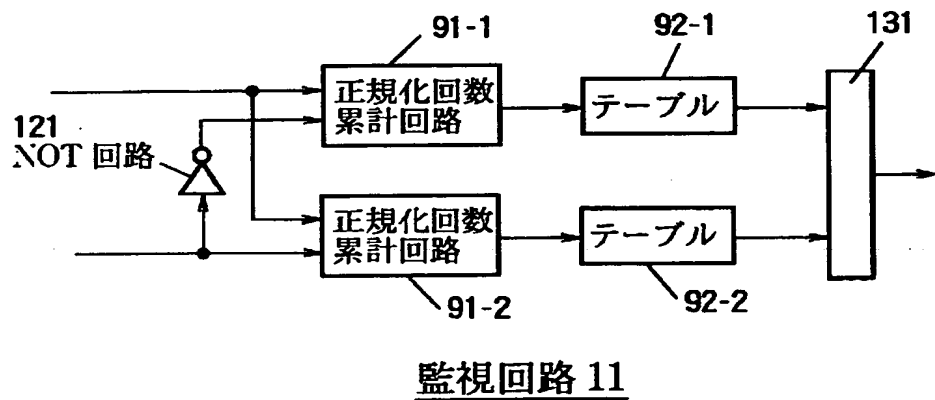
(F) 出力



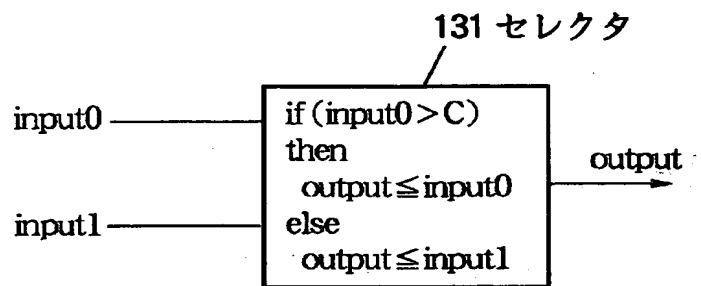
【図 14】



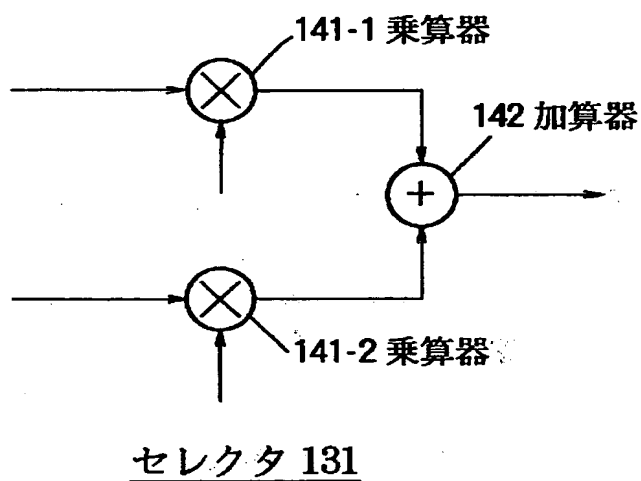
【図 15】



【図 16】



【図 17】



【図 18】

QPSK R=1/2 の伝送 C/N の推定値	重み(QPSK R=1/2)	重み(QPSK R=3/4)
20[dB]から 30[dB]まで	1.0	0.0
15[dB]から 20[dB]まで	0.5	0.5
15[dB]以下	0.0	1.0

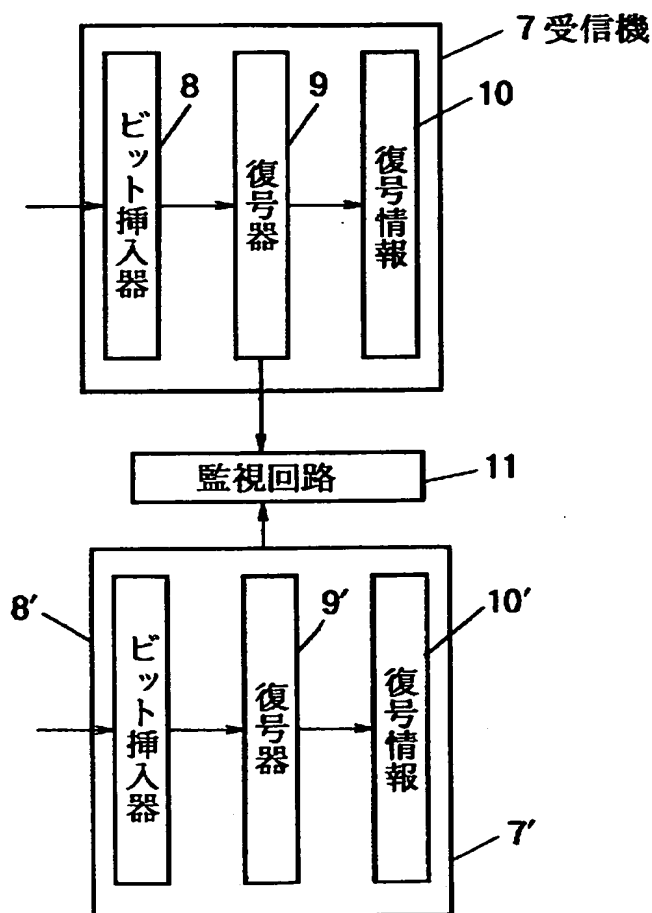
テーブル

【図 19】

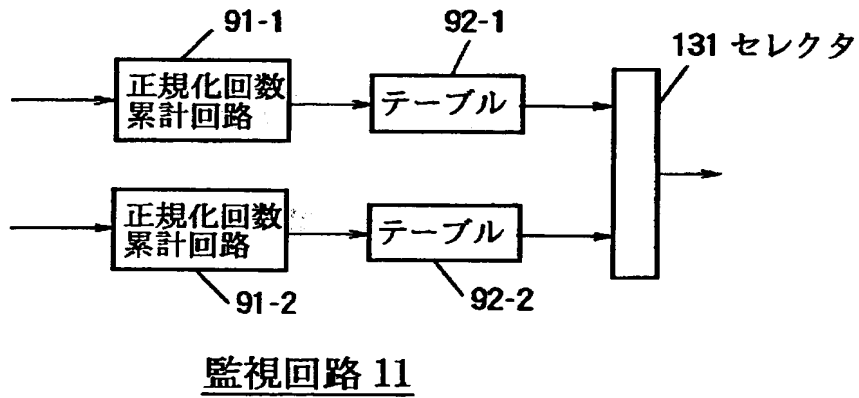
QPSK $R=3/4$ の 正規化累計数	重み(QPSK $R=1/2$ )	重み(QPSK $R=3/4$ )
565 以上	0.0	1.0
555 以上 565 未満	0.5	0.5
555 未満	1.0	0.0

テーブル

【図 20】



【図 2 1】

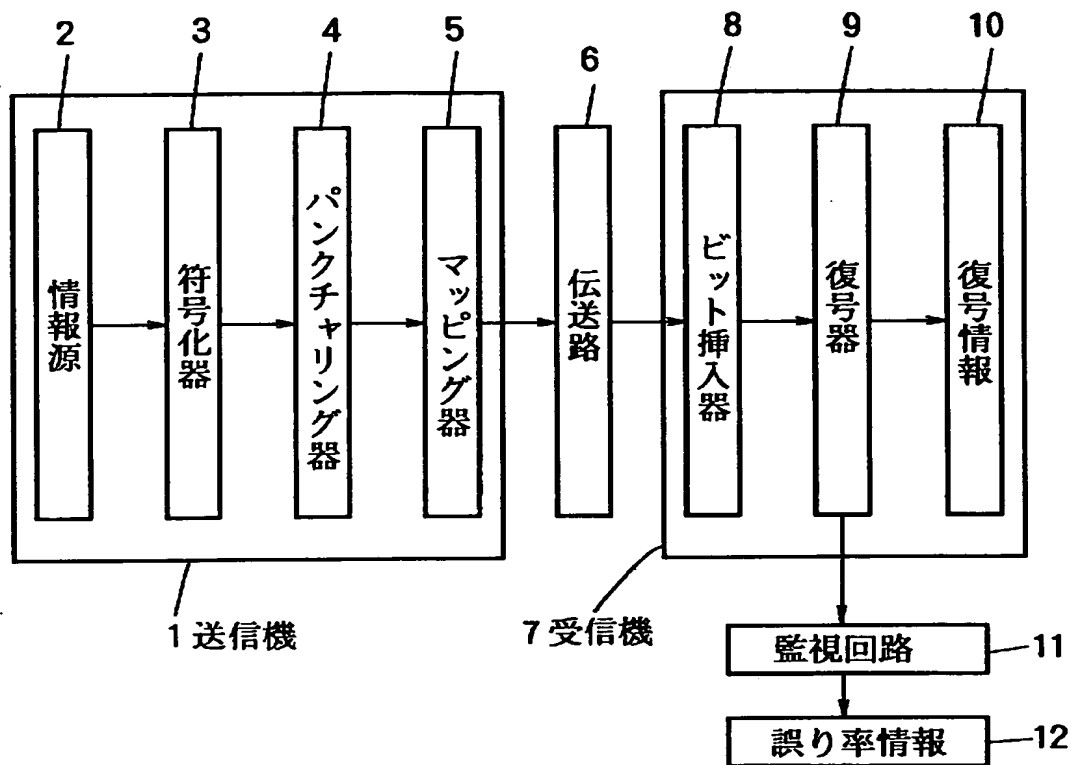


【図 2 2】

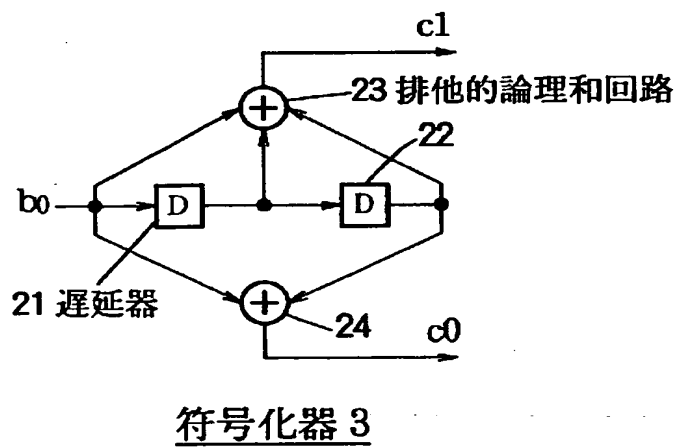
QPSK R=3/4 の伝送 C/N の推定値	重み(QPSK R=1/2)	重み(QPSK R=3/4)
2.20[dB]以上	1.0	0.0
1.5[dB]から 2.20[dB]まで	0.5	0.5
0.8[dB]から 1.5[dB]まで	0.0	1.0

テーブル

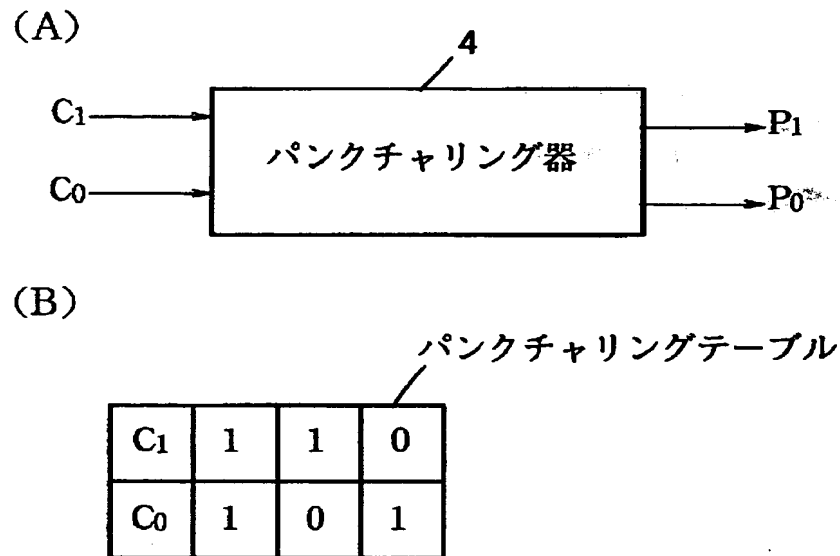
【図 2 3】



【図 2 4】



【図 25】



【図 26】

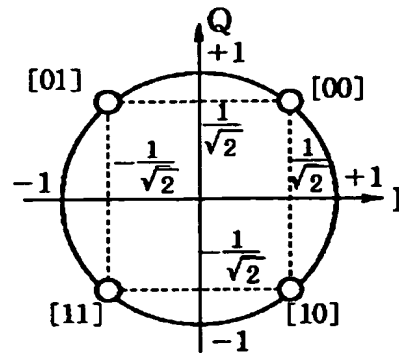
(A) 入力

C <sub>1</sub>	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>
C <sub>0</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>	Y <sub>4</sub>	Y <sub>5</sub>	Y <sub>6</sub>

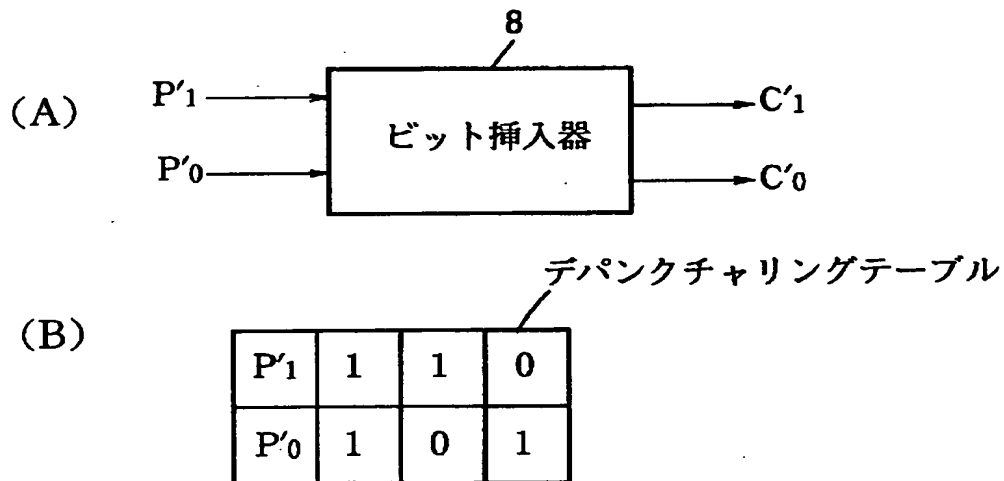
(B) 出力

P <sub>1</sub>	X <sub>1</sub>	Y <sub>3</sub>	X <sub>4</sub>	Y <sub>6</sub>
P <sub>0</sub>	Y <sub>1</sub>	X <sub>2</sub>	Y <sub>4</sub>	X <sub>5</sub>

【図 27】



【図 28】



【図 29】

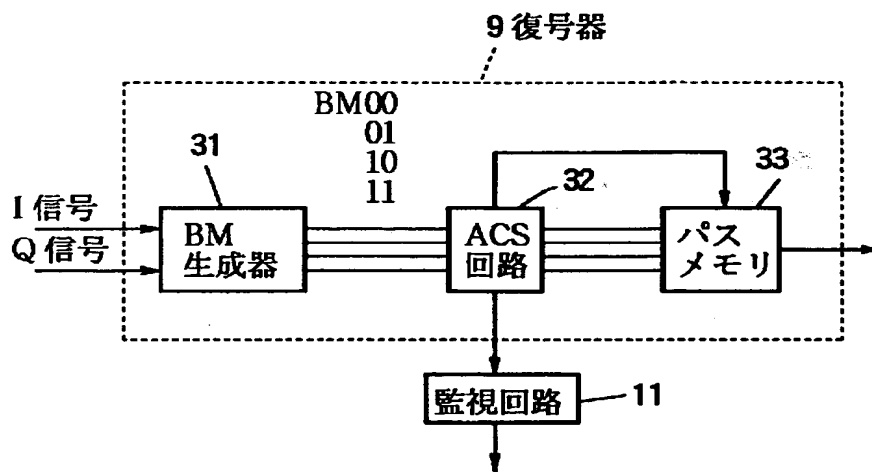
(A) 入力

P'1	X1	Y3	X4	Y6
P'0	Y1	X2	Y4	X5

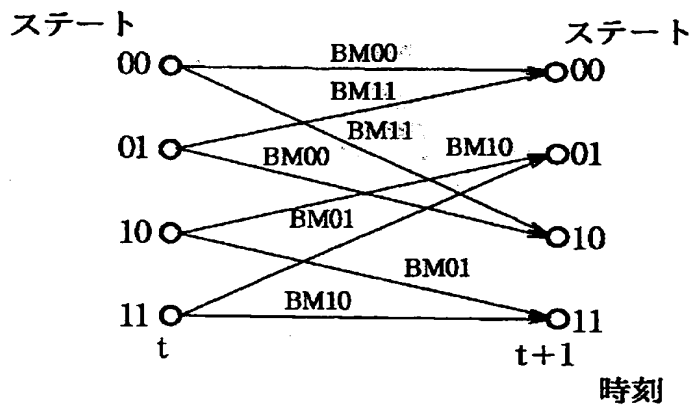
(B) 出力

C'1	X1	X2	0	X4	X5	0
C'0	Y1	0	Y3	Y4	0	Y6

【図 30】

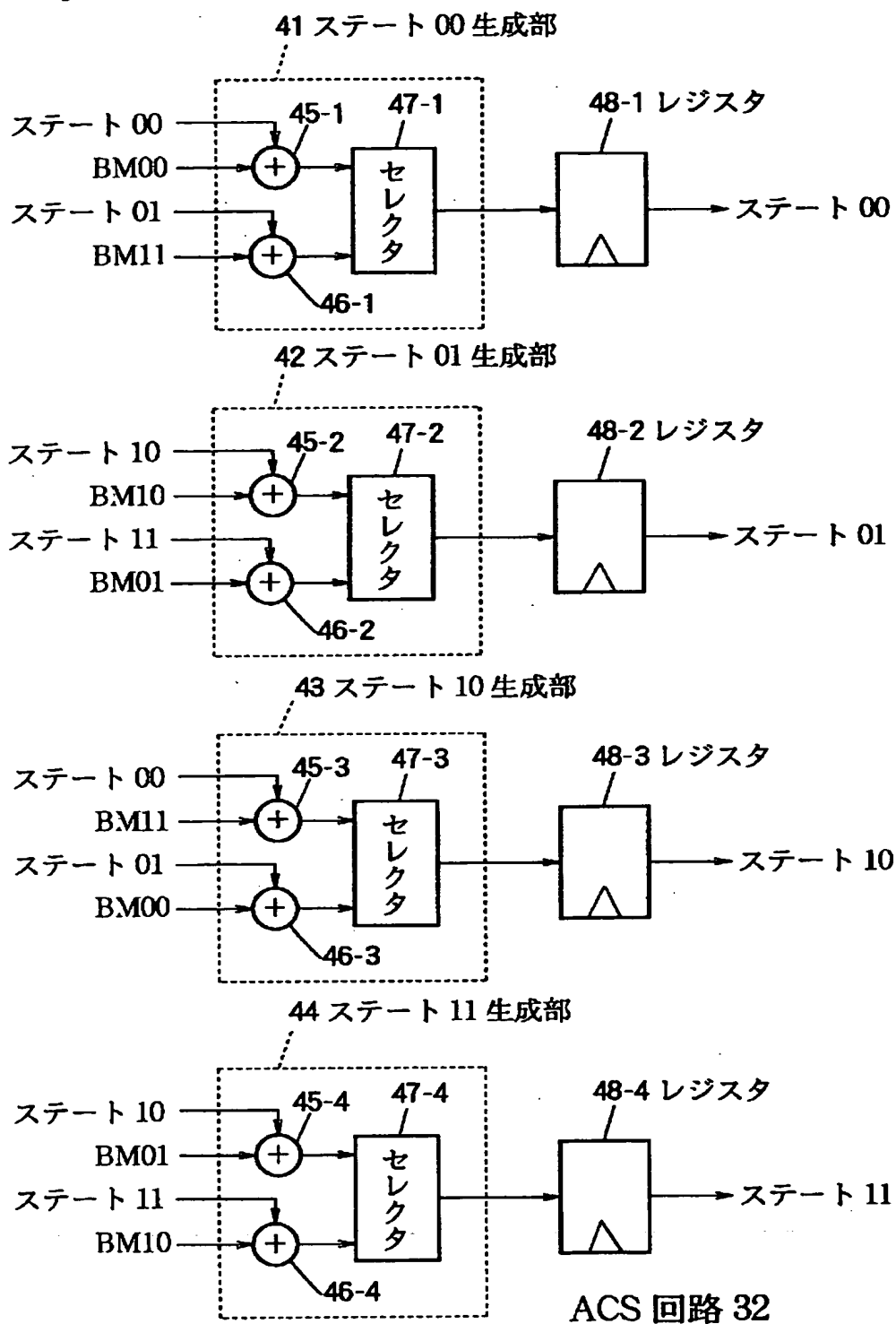


【図 31】

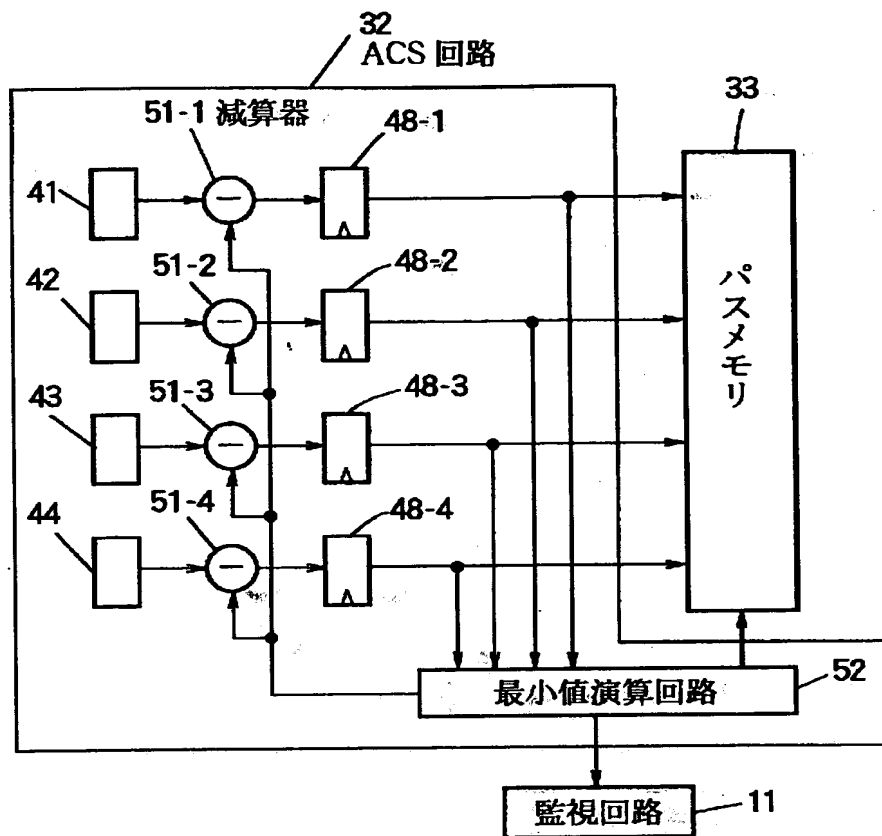




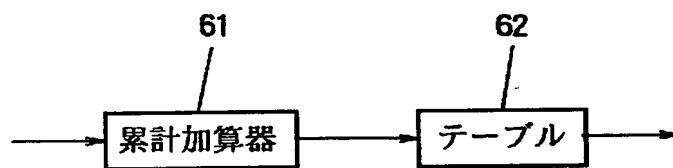
【図 3 2】



【図 3 3】

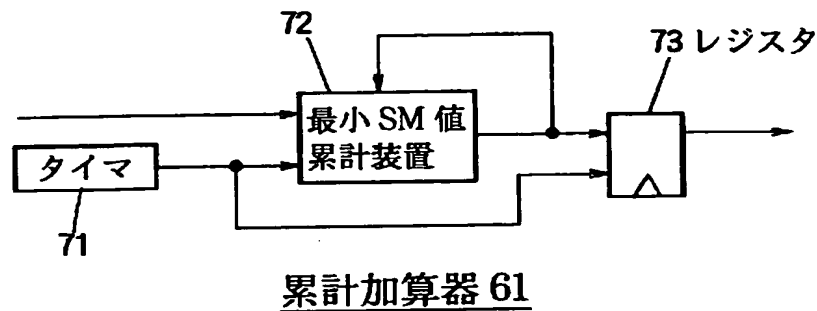


【図 3 4】

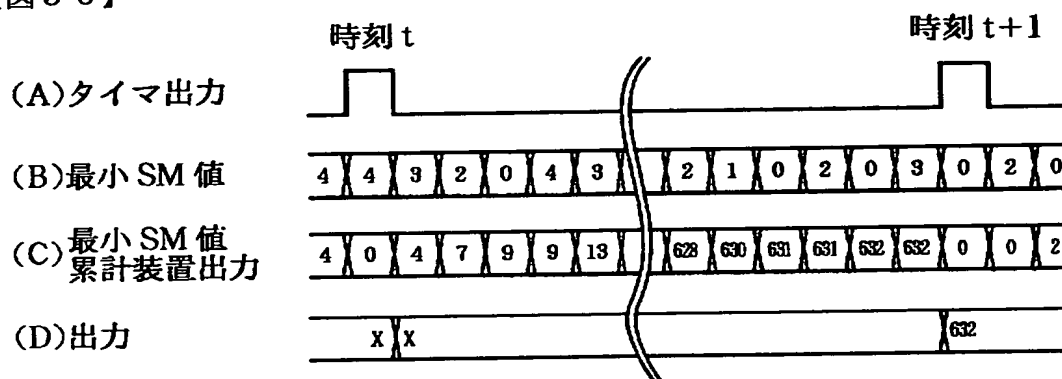


監視回路 11

【図 3 5】



【図 3 6】



【図 3 7】

(A)		(B)	
QPSK $R=1/2$		QPSK $R=3/4$	
ROM		ROM	
計数値	C/N	計数値	C/N
22720 以上	3.00	36160 以上	2.20
22080 以上 22720 未満	2.50	35520 以上 36160 未満	1.50
21440 以上 22080 未満	2.00	34880 以上 35520 未満	1.00
21440 未満	1.50	34880 未満	0.85

【書類名】 要約書

【要約】

【課題】 伝送路上の誤り率を判定する装置の規模を小型化するとともに、演算量を減らす。

【解決手段】 正規化回数累計回路 91 は、ステートメトリックを演算する ACS 回路において、所定時間内で正規化が行われた回数を累計する。テーブル 92 は、正規化回数累計回路 91 で累計された正規化回数と伝送路上の誤り率に対応付けられて記述されたテーブルが記憶されている。テーブル 92 は、記憶されているテーブルを用いて、入力された正規化の累積回数に対応する誤り率を判定し、出力する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社



100

100